

УДК 621.382.3

ОСОБЕННОСТИ ФОРМИРОВАНИЯ ТРАНЗИСТОРОВ СО ВСТРОЕННЫМ И ИНДУЦИРОВАННЫМ КАНАЛОМ В ОДНОМ КМДП ТЕХНОЛОГИЧЕСКОМ ПРОЦЕССЕ

Андреев Владимир Викторович

Доктор технических наук, профессор Калужского филиала Московского
технического университета имени Н.Э. Баумана, Россия, г. Калуга
vladimir_andreev@bmstu.ru

Двухшерстнов Алексей Сергеевич

Магистрант Калужского филиала Московского технического
университета имени Н.Э. Баумана, Россия, г. Калуга
dvukhsheerstnov99@bk.ru

Гурин Виталий Михайлович

Магистрант Калужского филиала Московского технического
университета имени Н.Э. Баумана, Россия, г. Калуга
vitally.gurin918@yandex.ru

Шмелькова Анастасия Альбертовна

Магистрант Калужского филиала Московского технического
университета имени Н.Э. Баумана, Россия, г. Калуга

Мельникова Яна Владимировна

Магистрант Калужского филиала Московского технического
университета имени Н.Э. Баумана, Россия, г. Калуга

Филлипович Михаил Евгеньевич

Магистрант Калужского филиала Московского технического
университета имени Н.Э. Баумана, Россия, г. Калуга

Аннотация

В статье представлен процесс получения МДП транзисторов со встроенным и индуцированным каналом в едином технологическом процессе. Рассмотрена физическая структура кристалла, получаемая при одновременном формировании МДП транзисторов двух типов. Исследовано влияние дозы загонки бора в карман р-типа на характеристики МДП- транзисторов с разным типом каналов. Проведена оценка влияния технологических режимов формирования МДП транзисторов на их вольт-амперные характеристики.

Ключевые слова: Интегральная микросхема, МДП транзистор, КМДП технологический процесс, вольт-амперная характеристика, встроенный канал, индуцированный канал.

FEATURES OF THE FORMATION OF TRANSISTORS WITH BUILT-IN AND INDUCED CHANNEL IN ONE CMDP TECHNOLOGICAL PROCESS

Vladimir V. Andreev

Doctor of Technical Sciences, Professor of the Kaluga Branch of the Moscow Technical University named after N.E. Bauman, Russia, Kaluga
vladimir_andreev@bmstu.ru

Alexey S. Dvukhsherstnov

Master student of the Kaluga branch of the Moscow Technical University named after N.E. Bauman, Russia, Kaluga
dvukhsherstnov99@bk.ru

Vitaly M. Gurin

Master student of the Kaluga branch of the Moscow Technical University named after N.E. Bauman, Russia, Kaluga
vitally.gurin918@yandex.ru

Anastasia A. Shmelkova

Master student of the Kaluga branch of the Moscow Technical University named after N.E. Bauman, Russia, Kaluga

Yana M. Melnikova

Master student of the Kaluga branch of the Moscow Technical University named after N.E. Bauman, Russia, Kaluga

Mikhail E. Fillipovich

Master student of the Kaluga branch of the Moscow Technical University named after N.E. Bauman, Russia, Kaluga

ABSTRACT

The article presents the process of obtaining MIS transistors with a built-in and induced channel in a single technological process. The physical structure of the crystal obtained by the simultaneous formation of MIS transistors of two types is considered. The influence of the dose of boron driving into a p-type pocket on the characteristics of MIS transistors with different types of channels has been studied. The influence of technological modes of formation of MIS transistors on their current-voltage characteristics has been evaluated.

Keywords: Integrated circuit, MOS transistor, CMOS technological process, current-voltage characteristic, built-in channel, induced channel.

Введение

В современных КМДП технологиях для изготовления интегральных микросхем в основном используются n и p-канальные МДП транзисторы с индуцированным каналом [1-3]. Однако в ряде случаев для расширения функциональных возможностей микросхем и удобства схемотехнического проектирования необходимо в рамках единой технологии одновременно формировать на кристалле МДП транзисторы со встроенным и индуцированным каналом [4,5]. Эта задача во многом усложняется тем фактом, что МДП транзисторы со встроенным каналом должны быть адаптированы под конкретное применение, с целью получения требуемых характеристик изготавливаемых интегральных микросхем. По мимо этого разрабатываемый технологический процесс часто должен обеспечивать получение МДП транзисторов способных обеспечивать работоспособность интегральных микросхем при различных критических воздействиях, таких как: сильные электрические поля, радиационное облучение, плазменные воздействия и т. д. [6-9]. Следовательно, разработка новых КМДП технологических процессов, позволяющих в едином процессе формировать высоконадежные МДП транзисторов со встроенным и индуцированным каналом, адаптированные под конкретное применение является актуальной задачей и имеет большое практическое значение.

В данной работе проведена разработка КМДП технологического процесса, позволяющего в едином процессе формировать МДП транзисторов со встроенным и индуцированным каналом с заданным диапазоном пороговых напряжений.

Описание технологического процесса

Рассмотрим технологический процесс получения транзисторов с индуцированным каналом, обладающими характеристиками сходными с транзистором со встроенным каналом. Данный технологический процесс включает в себя 13 фотолитографий.

1. За основу берется пластина со структурой КСДИ, которая имеет вид, представленный на рисунке 1;

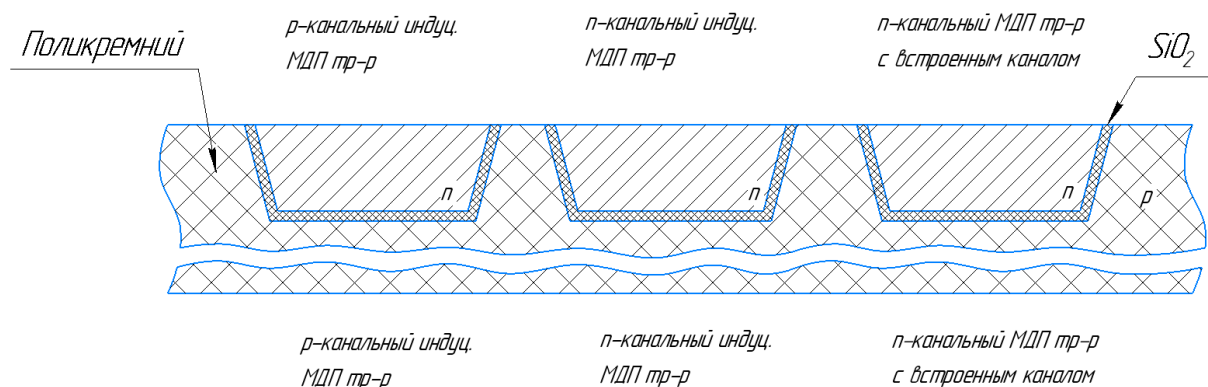


Рисунок.1. Исходная пластина

2. Первая фотолитография необходима, чтобы загнать малую дозу кармана во все n-канальные транзисторы;
3. Вторую фотолитографию проводят для загонки кармана в те места, где должен быть индуцированный канал в n-канальных транзисторах, при этом, во время разгонки на всей поверхности пластины образуется слой окисла;
4. Третья фотолитография проводится по оксиду кремния, для создания активных областей, в дальнейшем там будут формироваться сток-истоковые области транзисторов;
5. Четвёртая фотолитография проводится для формирования р – сток/истоки;

6. 5-тая фотолитография необходима для создания сток/истоковых областей у n -канальных транзисторов;
7. Диффузионные области p^+ формируются при 6-той фотолитографии для обеспечения хорошего омического контакта и уменьшения сопротивления сток/истоковых областей;
8. Диффузионные области n^+ формируются при 7-мой фотолитографии для аналогичных целей, как и при фотолитографии выше;
9. Восьмая фотолитография нужна для создания тонкого под затворного диэлектрика. На транзисторе с встроенным каналом он не заходит на сток-истоковые области;
10. Следующим этапом осаждается поликремний, после чего по нему проводится девятая фотолитография и образуется поликремневый затвор;
11. Далее при 10-той фотолитографии поверх поликремния в транзисторе со встроенным каналом осаждаем «ушки», при этом поликремний служит как маска;
12. Следующим этапом идет создание контактных окон к областям, путем фотолитографии 11 по межслойной изоляции;
13. 12-той фотолитографией создаются контактные площадки и проводники;
14. На завершающем этапе весь кристалл покрывается защитным слоем, по которому делают завершающую 13-тую фотолитографию. Она предназначена для создания контактных окон для разварки кристалла в корпус (рис.2).

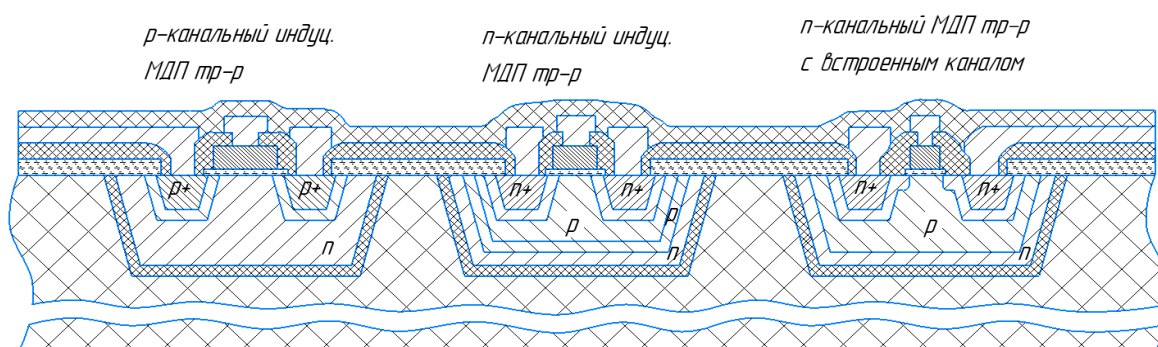


Рисунок. 2. Готовая структура кристалла

При данной конструкции, представленной на рисунке 2, образуется постоянный транзистор с индуцированным каналом, имеющий низкое пороговое напряжение. Он обладает характеристиками сходными с транзистором со встроенным каналом [10].

Исследовательская часть

В ходе проведения анализа были рассмотрены пластины с разной дозой загонки бора в карман p -типа для транзисторов с разным типом каналов. Помимо этого, для транзисторов с индуцированным каналом проводилась дополнительная загонка бора в карман, так же с разными концентрациями примеси. Данные загонки примеси приведены в таблице 1.

Таблица 1. Дозы загонки примеси для создания p -кармана

Область легирования	Номер пластины	Доза, мкКл /см ²
Встроенный канал	1,6	1,4

Индукцированный канал	2,8	1,9
	Пластина, с подобранными параметрами	1,7
	2,9	0,4
	4,10	0,5
Индукцированный канал	5,7	0,6
	Пластина, с подобранными параметрами	0,6

Режим разгонки: 1200 С°, 13ч, $N_2 + 10 \text{ л/ч } O_2$

В результате получается структура, показанная на рисунке 3, с величиной $X_j=9,78$ мкм.

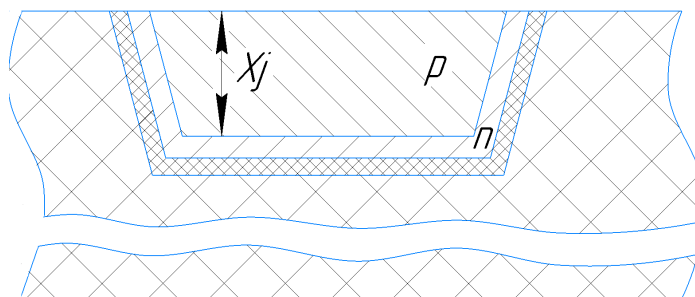


Рисунок.3. Глубина кармана

При создании встроенного канала изучались разные вариации дозы дополнительного легирования Р. Данные приведены в таблице 2.

Таблица 2. Дозы загонки дополнительного легирования Р под затворной области транзистора со встроенным каналом.

Номер пластины	Доза дополнительного легирования фосфором, мкКл /см ²
2,5,10	19
4,7,9	26
Пластина, с подобранными параметрами	19

Режим разгонки: 950С°, 20 минут, N_2

Используя теорию МДП структур и теорию р-п- перехода, выражение для толщины канала $d(x)$, представленного на рисунке 4, при прохождении тока можно записать в виде [11]:

$$d(x) = d - \frac{\varepsilon_0 \varepsilon_n}{C_q} \cdot \left(\sqrt{1 + \frac{2C_q^2}{\varepsilon_0 \varepsilon_n q N_D} (U_{зи} - U_{плз} + U(x))} - 1 - \sqrt{\frac{2\varepsilon_0 \varepsilon_n N_A}{q N_D (N_A + N_D)} (U(x) + U_{пи} + \varphi_{кон})} \right),$$

где: N_D – концентрация примесей в канале; N_A – концентрация примесей в подложке; $U(x)$ – падение напряжения в канале на расстоянии x от источника; $\varphi_{кон}$ – контактная разность потенциалов перехода канал – подложка.

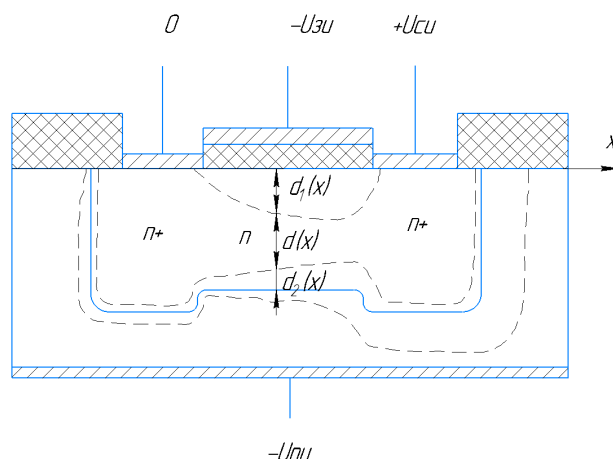


Рисунок 4. Уменьшение толщины канала из-за действия напряжений $U_{ЗИ}$ ЭФ, $U_{СИ}$, $U_{ПИ}$ при работе транзистора в режиме обеднения

Рассмотрим особенности управления толщиной канала $d(x)$ со стороны затвора при работе МДП транзистора в режиме обеднения. Большая часть внешнего напряжения $U_{ЗИ}$ падает на диэлектрике под затвором и лишь малая часть ($\Delta U_{ЗИ} \leq 2\phi_F$) управляет состоянием приповерхностной области полупроводника под затвором, т.е. толщиной обедненной области $d_1(x)$, а следовательно и толщиной канала $d(x)$. Увеличение напряжения на затворе будет приводить к уменьшению толщины канала и тока стока [11].

В ходе проведения исследования и подбора оптимальных параметров был получен МДП транзистор с тонким каналом, на который полностью оказывается обеднение ещё до появления на его поверхности инверсионного слоя. Ток стока будет практически уменьшен до нуля при $U_{ЗИ}$ ЭФ = $U_{ЗИ}$ ОТС. (рис. 5, кривая 2).

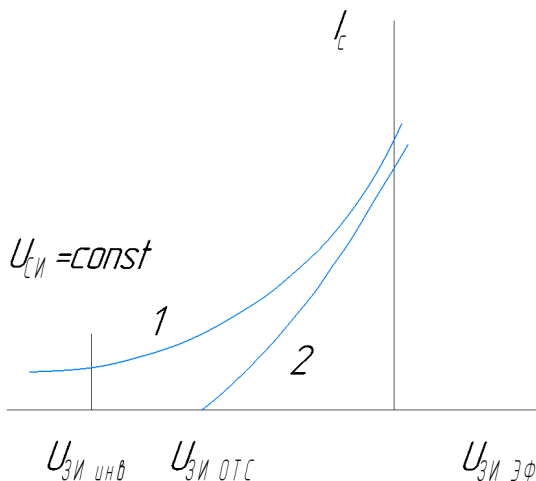


Рисунок 5. Передаточная характеристика МДП-транзистора со встроенным каналом в режиме обеднения для канала: 1-толстого, 2 – тонкого

Вид характеристик передачи МДП транзистора со встроенным каналом зависит от толщины канала.

Анализ вольт-амперных характеристик

Ниже приведены результаты измерения вольт-амперных характеристик пластин с наиболее лучшими параметрами, а именно 2, 5, 7, 10-ой пластин спутников. В конечном итоге были замерены характеристики пластины с подобранными параметрами загонки. Измерения проводились при помощи измерителя характеристик полупроводниковых приборов Л2-56 и зонда с иглками (рис. 6). ВАХ для 2, 5, 7, 10-ой пластин показаны на рисунках 7 – 10.



Рисунок 6. Пластина под зондом

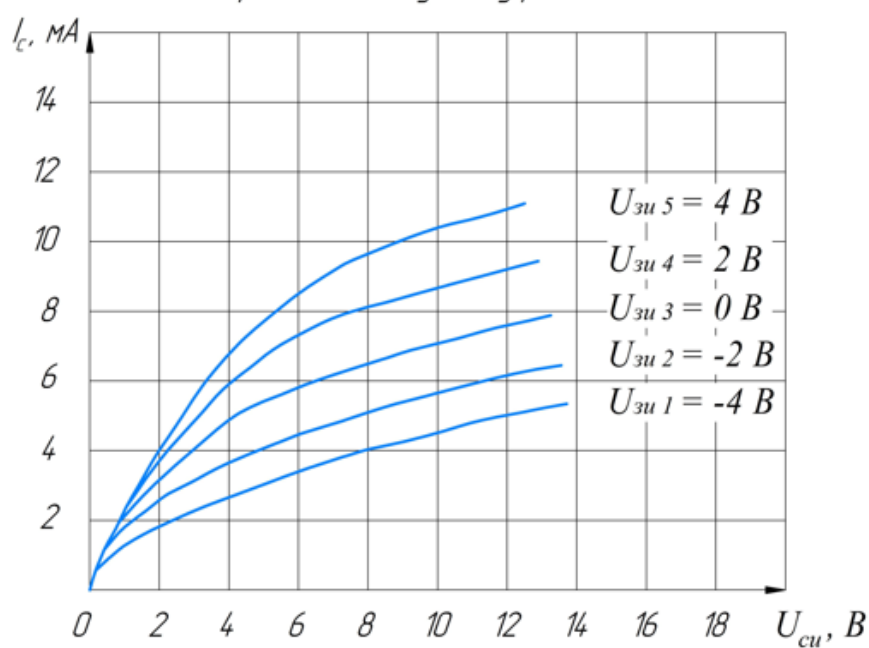
Напряжение на ступеньку равно 2 В

Рисунок 7. ВАХ 2 пластины

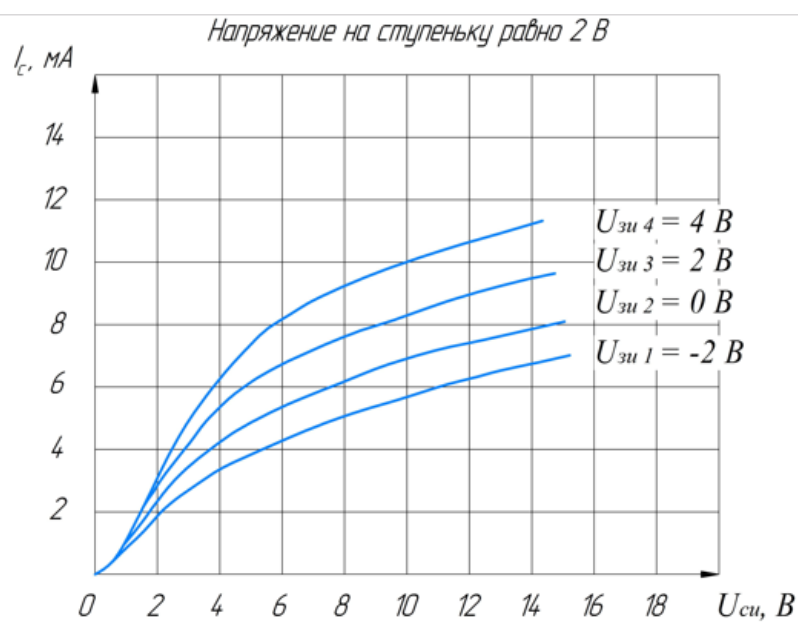


Рисунок 8. ВАХ 5 пластины

Как видно из графиков рисунка 8, ВАХ являются не идеальными для МДП транзистора со встроенным каналом. Полученный транзистор полностью не закрывается и постоянно течет, а также у него высокое значение крутизны. ВАХ хорошо реагирует на изменение напряжения на затворе [12]. На рисунке 9 представлены ВАХ для 7 пластины.

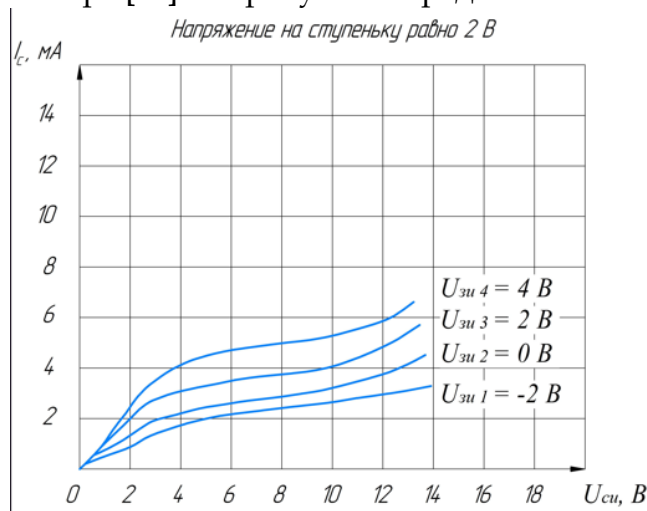


Рисунок 9. ВАХ 7 пластины

Данный вид характеристик является более предпочтительным, но также является не удовлетворяющим. Полученный транзистор способен на лучшее, но неполное закрытие, а также у него лучше показатель крутизны.

После подбора всех параметров мы получили готовый вариант транзистора, удовлетворяющий всем требованиям. Его ВАХ изображены на рисунке 10.

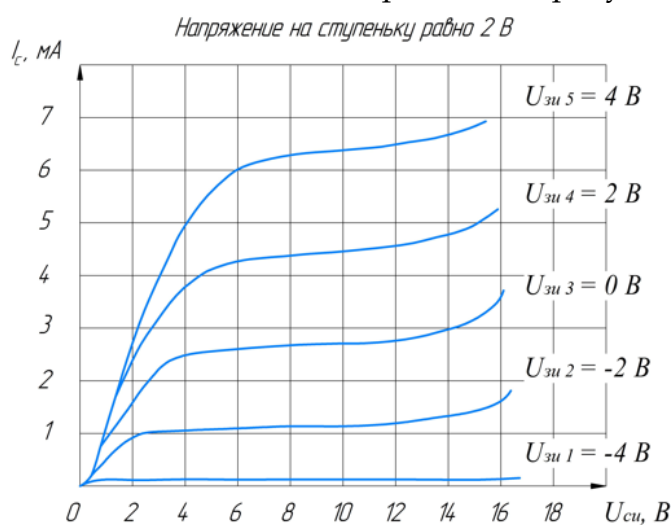


Рисунок 10. ВАХ итогового транзистора.

Как видно из рисунка 10, характеристики получились правильные, соответствующие МДП транзистору со встроенным каналом. При приложении на затвор отрицательного потенциала транзистор закрывается, и ток перестаёт протекать между сток-исток. [13] На рисунке 11 представлены идеальные характеристики, которые схожи с полученными.

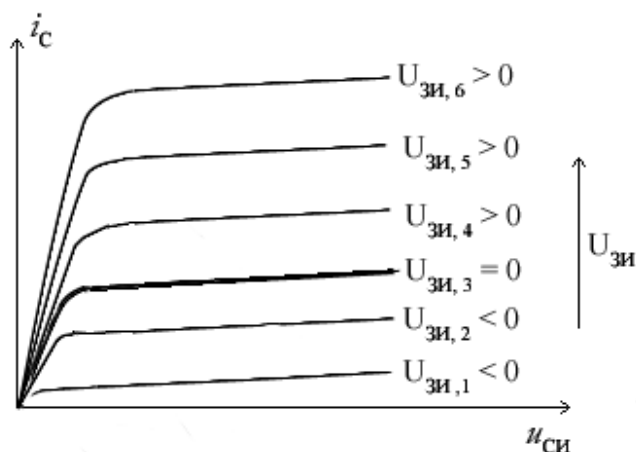


Рисунок 11. Идеальные ВАХ МДП транзистора со встроенным каналом

Выводы

Получение в одном технологическом процессе транзисторов с индуцированным каналом, обладающих нормальными параметрами и транзисторов с индуцированным каналом, обладающих характеристиками сходными с транзистором со встроенным каналом, возможно при определенных условиях. Для транзисторов с индуцированным каналом проводилась дополнительная загонка бора в карман с дозой $1,7 \text{ мКл/см}^2$ для встроенного канала и $0,6 \text{ мКл/см}^2$ для индуцированного канала. Так же доза дополнительного легирования фосфором Р под затворной области транзистора со встроенным каналом должна быть равна 19 мКл/см^2 . При соблюдении данных условий и режимов загонки мы фактически получаем в одном кристалле как МДП транзисторы с индуцированным, так и с встроенным каналом.

Список литературы:

1. Кондратюк, А. В. Анализ особенностей типовых конструкций полевых транзисторов с изолированным затвором // Молодой ученый. 2016. №23(127). С.59-66.
2. Бенедиктов, А., Горнев, Е., Потупчик, А., Михайлов, А., Смирнов, А. Особенности работы МОП-транзисторов на основе кремниевых структур при высоких температурах // Наноиндустрия. 2016. №8(70). С.96-103.
3. Пиганов, М.Н., Волков, А.В., Меркулов, А.И. Анализ конструкций полупроводниковых интегральных микросхем: метод. указания . – Самара: Издательство Самарского государственного аэрокосмического университета. 2010. 20с.
4. Махаринец, А.В., Милешко, Л.П. Моделирование МОП транзистора со встроенным каналом, изготовленного с использованием диффузии фосфора в кремний из фосфорных анодных оксидных пленок // В мире научных открытий. 2014. №12.1(60) С.463-470.
5. Костенков, В. А. Совершенствование МДП транзисторов для интегральных микросхем // Научные достижения: теория, методология, практика : Сборник научных трудов по материалам IX Международной научно-практической конференции, Анапа, 28 июня 2019 года. 2019. С. 24-27.
6. Драч В.Е. Анализ сдвига проходных характеристик МДП-транзистора // Вестник МГТУ им. Н.Э. Баумана. Серия «Приборостроение». 2017. №1 (112).

7. Andreev D.V., Bondarenko G.G., Andreev V.V., Maslovsky V.M., Stolyarov A.A. Modification of MIS Devices by Radio-Frequency Plasma Treatment // *Acta Phys. Pol. A*. 2019. Vol. 136. No. 2. P.263-266.
DOI: 10.12693/APhysPolA.136.263
8. Andreev D.V., Bondarenko G.G., Andreev V.V., Stolyarov A.A. Use of High-Field Electron Injection into Dielectrics to Enhance Functional Capabilities of Radiation MOS Sensors // *Sensors*. 2020. V.20. Is.8. P.2382(1-11).
DOI: 10.3390/s20082382
9. Andreev D.V., Maslovsky V.M., Andreev V.V., Stolyarov A.A. Modified Ramped Current Stress Technique for Monitoring Thin Dielectrics Reliability and Charge Degradation // *Phys. Status Solidi A*. 2022. Vol. 219. Is. 9. P. 2100400(1-5).
<https://doi.org/10.1002/pssa.202100400>
10. Strong A., Wu E., Vollertsen R., Sune J., Rosa G., Rauch S., Sullivan T. Reliability Wearout Mechanisms in Advanced CMOS Technologies. IEEE Press Series on Microelectronic Systems. Wiley, 2009, 624 p.
11. Sze S. M, Lee M. K. Semiconductor Devices. Physics and Technology // John Wiley & Sons Singapore Pte. Ltd., 3rd ed., 2013. 582 p.
12. Петросянц К. О., Харитонов И. А., Самбурский Л. М., Кожухов М. В. Схемотехнические SPICE-модели биполярных и МДП-транзисторов для автоматизации проектирования радиационно-стойких БИС // *Информационные технологии*. 2015. Т. 21. № 12. С. 916-922.
13. Weste N., Harris D. CMOS VLSI Design. A Circuits and Systems Perspective 4th. ed. Addison-Wesley, 2015

References:

1. Kondratyuk, A. V. Analysis of the features of typical designs of field-effect transistors with an insulated gate // *Young scientist*. 2016. No. 23(127) .S.59-66.
2. Benediktov, A., Gornev, E., Potupchik, A., Mikhailov, A., Smirnov, A. Features of the operation of MOS transistors based on silicon structures at high temperatures // *Nanoindustry*. 2016. No. 8(70). S.96-103.
3. Piganov, M.N., Volkov, A.V., Merkulov, A.I. Analysis of the designs of semiconductor integrated circuits: a method. instructions . – Samara: Samara State Aerospace University Publishing House. 2010. 20s.
4. Makharanets, A.V., Mileshko, L.P. Simulation of a MOS transistor with a built-in channel, fabricated using the diffusion of phosphorus into silicon from phosphorus anode oxide films. In the world of scientific discoveries. 2014. No. 12.1 (60) P. 463-470.
5. Kostenkov, V. A. Improvement of MIS transistors for integrated circuits // *Scientific achievements: theory, methodology, practice: Collection of scientific papers based on the materials of the IX International Scientific and Practical Conference, Anapa, June 28, 2019*. 2019. S. 24-27.
6. Drach V.E. Analysis of the shift in the flow characteristics of the MIS transistor // *Bulletin of the Moscow State Technical University. N.E. Bauman. Series "Instrument making"*. 2017. No. 1 (112).

7. Andreev D.V., Bondarenko G.G., Andreev V.V., Maslovsky V.M., Stolyarov A.A. Modification of MIS Devices by Radio-Frequency Plasma Treatment // Acta Phys. Pol. A. 2019. Vol. 136. No. 2. P.263-266.
DOI: 10.12693/APhysPolA.136.263
8. Andreev D.V., Bondarenko G.G., Andreev V.V., Stolyarov A.A. Use of High-Field Electron Injection into Dielectrics to Enhance Functional Capabilities of Radiation MOS Sensors // Sensors. 2020. V.20. Is.8. P.2382(1-11).
DOI: 10.3390/s20082382
9. Andreev D.V., Maslovsky V.M., Andreev V.V., Stolyarov A.A. Modified Ramped Current Stress Technique for Monitoring Thin Dielectrics Reliability and Charge Degradation // Phys. Status Solidi A. 2022. Vol. 219 Is. 9. P. 2100400(1-5).
<https://doi.org/10.1002/pssa.202100400>
10. Strong A., Wu E., Vollertsen R., Sune J., Rosa G., Rauch S., Sullivan T. Reliability Wearout Mechanisms in Advanced CMOS Technologies. IEEE Press Series on Microelectronic Systems. Wiley, 2009, 624 p.
11. Sze S. M, Lee M. K. Semiconductor Devices. Physics and Technology // John Wiley & Sons Singapore Pte. Ltd., 3rd ed., 2013. 582 p.
12. Petrosyants K. O., Kharitonov I. A., Sambursky L. M., Kozhukhov M. V. Circuit SPICE models of bipolar and MIS transistors for automation of design of radiation-resistant LSI // Information technologies. 2015. V. 21. No. 12. S. 916-922.
13. Weste N., Harris D. CMOS VLSI Design. A Circuits and Systems Perspective 4th. ed. Addison-Wesley, 2015.