



УДК 621.3.049.774

ПОВЫШЕНИЕ СТОЙКОСТИ К СТАТИЧЕСКОМУ ЭЛЕКТРИЧЕСТВУ АНАЛОГОВОГО КЛЮЧА СО СХЕМОЙ УПРАВЛЕНИЯ¹

Андреев Владимир Викторович

Доктор технических наук, профессор Калужского филиала Московского технического университета имени Н.Э. Баумана, Россия, г. Калуга vladimir_andreev@bmstu.ru

Гурин Виталий Михайлович

Магистрант Калужского филиала Московского технического университета имени Н.Э. Баумана, Россия, г. Калуга
vitally.gurin918@yandex.ru

Двухшерстнов Алексей Сергеевич

Магистрант Калужского филиала Московского технического университета имени Н.Э. Баумана, Россия, г. Калуга
dvukhsherstnov99@bk.ru

Крамар Максим Игоревич

Магистрант Калужского филиала Московского технического университета имени Н.Э. Баумана, Россия, г. Калуга
kramarmi@student.bmstu.ru

Филиппович Михаил Евгеньевич

Магистрант Калужского филиала Московского технического университета имени Н.Э. Баумана, Россия, г. Калуга
fme17ki170@student.bmstu.ru

Аннотация

В статье представлены результаты исследования по повышению стойкости к статическому электричеству аналогового ключа со схемой управления. С целью повышения стойкости к статическому электричеству были проведены изменения в технологическом процессе, включая использование пирогенного окисления вместо обычного термического окисления подзатворного диэлектрика и формирование кармана р-типа с меньшей дозой примеси бора в исходной структуре КСДИ (кремниевая структура с диэлектрической изоляцией) n-типа для n-канальных транзисторов. Были рассмотрены режимы изготовления и оценено влияние внесенных изменений в сравнении со стандартным технологическим процессом на конечную стойкость нашей микросхемы.

¹Научный руководитель: Андреев Дмитрий Владимирович, кандидат технических наук, доцент кафедры проектирования и технологии производства электронных приборов Калужского филиала Московского технического университета имени Н.Э. Баумана, Россия, г. Калуга dmitrii_andreev@bmstu.ru

Ключевые слова: микросхема, технологический процесс, карман, окисление, пробой, статическое электричество.

INCREASING THE RESISTANCE TO STATIC ELECTRICITY OF THE ANALOGUE KEY WITH A SCHEME

Vladimir V. Andreev

Doctor of Technical Sciences, Professor of the Bauman Moscow State Technical University, the Kaluga branch, Russia, Kaluga
vladimir_andreev@bmstu.ru

Alexey S. Dvukhsherstnov

Master student of the Bauman Moscow State Technical University, the Kaluga branch, Russia, Kaluga
dvukhsherstnov99@bk.ru

Vitaly M. Gurin

Master student of the Bauman Moscow State Technical University, the Kaluga branch, Russia, Kaluga
vitally.gurin918@yandex.ru

Maxim I. Kramar

Master student of the Bauman Moscow State Technical University, the Kaluga branch, Russia, Kaluga
kramarmi@student.bmstu.ru

Mikhail E. Filippovich

Master student of the Bauman Moscow State Technical University, the Kaluga branch, Russia, Kaluga
fme17ki170@student.bmstu.ru

ABSTRACT

The article presents the results of a study on increasing the resistance to static electricity of an analog switch with a control circuit. In the process, changes were made to the process, including the use of pyrogenic oxidation instead of conventional thermal oxidation of the intake dielectric and the formation of a p-type pocket with a lower dose of boron impurities in the original n-type FDC structure for n-channel transistors. The manufacturing modes were considered and the impact of our changes in comparison with the standard technological process on the final resistance of our microcircuit was evaluated. As a result, positive results were obtained, confirming the effectiveness of introducing changes into the technological process.

Keywords: microchip, technological process, pocket, oxidation, breakdown, static electricity.

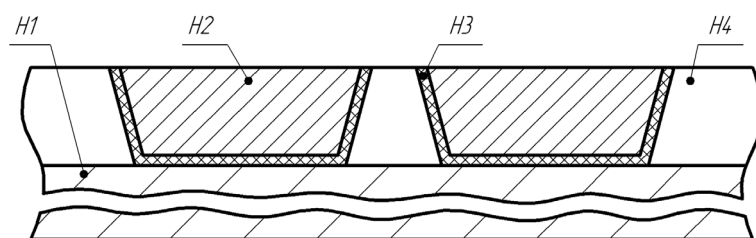
Введение

В настоящее время, интегральные микросхемы широко используются в различных электронных устройствах, и их качество и стойкость к воздействию внешних факторов являются важными характеристиками. Одной из проблем, которую нужно решить при разработке микросхем, является повышение стойкости к статическому электричеству аналогового ключа со схемой управления. В данной статье представлены результаты исследования по повышению стойкости таких микросхем [1].

Для решения данной проблемы были проведены изменения в технологическом процессе, включая использование пирогенного окисления вместо обычного термического окисления подзатворного диэлектрика и формирование кармана р-типа с меньшей дозой примеси бора в исходной структуре КСДИ n-типа для n-канальных транзисторов. Рассмотрены режимы изготовления и оценено влияние внесенных изменений в сравнении со стандартным технологическим процессом на конечную стойкость аналогового ключа. Были изготовлены и проведены испытания микросхем, результаты которых подтверждают повышенную стойкость аналогового ключа после проведения изменений в технологическом процессе. В данной статье представлены подробности изменений в технологическом процессе и результаты исследования.

Технологический процесс производства микросхемы

Данная микросхема производится на исходной структуре КСДИ, ее внешний вид и параметры представлены на рисунке 1.



Элементы структуры		Толщина, мкм	Тип проводимости
Наименование	Обозначение		
Пластина	H1	*	–
Монослой	H2	15–25	n
Диэлектрик	H3	1–1,4 **	–
Поликремний	H4	> 26	p

Рисунок.1. Исходная структура

В технологическом процессе производства рассматриваемой микросхемы используются 11 фотолитографий: фотолитография первая (формирование р-кармана), фотолитография вторая (формирование сток-истоковых областей), фотолитография третья (формирование маски фоторезиста для сток-истоковых областей р-канальных транзисторов), фотолитография четвертая (формирование маски фоторезиста для сток-истоковых областей n-канальных транзисторов), фотолитография пятая (подлегирирование контактных окон р-канальных транзисторов, р+), фотолитография шестая (подлегирирование контактных окон n-канальных транзисторов, n+), фотолитография седьмая (формирование затвора), фотолитография восьмая (травление поликремния со всей пластины кроме поликремния на затворах), фотолитография девятая (вскрытие контактных окон), фотолитография десятая (металлическая разводка(металлизация)), фотолитография одиннадцатая (вскрытие контактных площадок под разварку).

Изменения были внесены в первую и седьмую фотолитографии. Фотолитография первая (формирование р-кармана).

Формирование кармана р-типа в КМДП технологии производится следующим образом. Имплантация ионов для формирования р-кармана в КМДП технологии может проводиться с разными дозами, что влияет на его электрические свойства. Для получения обычного р-кармана используется доза бора $2,3 \text{ мкКл/см}^2$. Для формирования облегченного кармана, который имеет меньшее количество примеси бора, используется меньшая доза, в нашем случае, $2,08 \text{ мкКл/см}^2$ [1].

Удаление фоторезиста после фотолитографического процесса может проводиться с помощью химической обработки в смеси неорганических кислот или в плазме. В процессе обработки в смеси неорганических кислот используются обычно соляная кислота (HCl) и перекись водорода (H_2O_2), которые реагируют с фоторезистом и удаляют его. Обработка в плазме может проводиться с помощью различных газов, например, кислорода (O_2) или фтора (F_2), которые реагируют с фоторезистом под воздействием высокочастотного электрического поля [1].

Химическая обработка пластин может включать различные этапы, например, очистку от органических и неорганических загрязнений, травление для удаления слоев материала, растворение фоторезиста и другие процессы.

Разгонка бора (формирование р-кармана) проводится в специальных печах при температуре 1200°C в течение 12 часов. Пластины помещаются в печь при температуре 850°C и постепенно достигается нужная температура, что позволяет избежать повреждения и деформации пластин из-за резкого нагрева. В процессе разгонки бора происходит диффузия бора в кремний и формирование р-кармана [1].

Толщина окисла в кремнии может быть определена по клину травления, поверхностному сопротивлению и толщине диффузионного слоя, которые могут быть измерены с помощью различных методов. Пластина после первой фотолитографии представлена на рисунке 2.

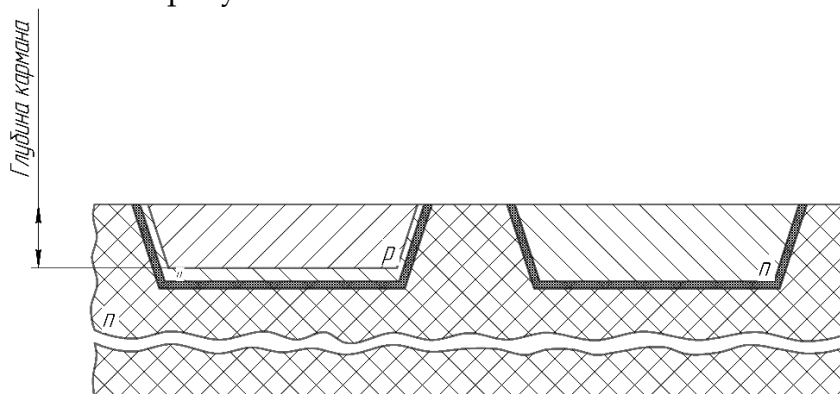


Рисунок.2. Пластина с сформированным карманом р-типа
Фотолитография седьмая (формирование затвора).

Процесс формирования затвора на поверхности КМДП микросхемы с помощью фотолитографических техник. В этом процессе используется фоторезист, который наносится на поверхность подложки и экспонируется под воздействием ультрафиолетового света через маску затвора. Затем фоторезист проявляется, и на поверхности кремния образуется маска затвора, которая защищает определенную область кремния от последующей обработки [1].

Окисление термическое - это процесс формирования окисного слоя под затвором в КМДП микросхеме. В процессе окисления кремния в нашем случае в печи при температурах 1000°C 2 часа 10 мин воздействует кислород, который реагирует с поверхностью кремния и образует окисный слой. Этот слой защищает кремний под

затвором от электрического поля и обеспечивает эффективное управление током в КМДП микросхеме.

Процесс термического окисления может проводиться в несколько этапов с использованием разных условий окисления для достижения определенной толщины и качества окисного слоя. Толщина окисного слоя под затвором может быть контролирована путем регулирования температуры и времени окисления. Окисление термическое является одним из ключевых процессов в технологии производства КМДП микросхем, поскольку оно обеспечивает эффективную работу затвора и, следовательно, управление током в микросхеме [1].

Пирогенное окисление (pyrogenic oxidation) подзатворного диэлектрика является процессом создания тонкого слоя окисла на поверхности подложки кремния. Этот процесс используется в производстве микросхем для создания тонкого слоя подзатворного диэлектрика.

Процесс пирогенного окисления проводится в камере, в которой смесь кремниевого газа (моносилан) (SiH_4) и кислорода (O_2) нагревается до высокой температуры при наличии пламени. В результате реакции между газами на поверхности подложки кремния образуется тонкий слой кремниевого диоксида (SiO_2), который является диэлектриком.

В нашем случае процесс пирогенного окисления проводился при температуре 850 градусов Цельсия 3 часа 30 мин, при этом образуется тонкий слой диэлектрика с толщиной от 0,1 до 0,14 мкм. Для контроля толщины окисла на поверхности подложки кремния используются различные методы, включая эллипсометрию, профилометрию и другие методы анализа тонких пленок [1].

После окисления подзатворного диэлектрика на поверхность подложки наносятся другие слои, например, слой поликристаллического кремния, на который затем наносится слой металла для создания электродов транзисторов.

Пирогенное окисление подзатворного диэлектрика обычно считается более прецизионным и контролируемым процессом, чем термическое окисление. Однако, он требует специального оборудования и может быть дороже, чем термическое окисление.

Пирогенное окисление подзатворного диэлектрика может повысить общую стойкость микросхемы к статическому электричеству (ESD - Electrostatic Discharge), если процесс пирогенного окисления проводится правильно и контролируется [2].

В процессе пирогенного окисления создается тонкий слой диэлектрика на поверхности затвора транзистора, который может иметь более высокую поверхностную энергию, чем в случае термического окисления. Это может способствовать более эффективному распределению заряда на поверхности диэлектрика и снижению вероятности возникновения локальных мест накопления заряда.

Кроме того, процесс пирогенного окисления может уменьшить количество дефектов на поверхности диэлектрика. Это может улучшить электрические свойства диэлектрика и снизить вероятность возникновения электростатических разрядов [2].

Однако, если процесс пирогенного окисления проводится неправильно или контролируется недостаточно, то микросхемы с пирогенно окисленным подзатворным диэлектриком могут быть более чувствительными к электростатическим разрядам, чем микросхемы с термически окисленным диэлектриком. Поэтому, необходимо учитывать все факторы при выборе технологии окисления подзатворного диэлектрика. Пластина после восьмой фотолитографии с сформированным затвором и стравленным поликремнием, представлена на рисунке 3.

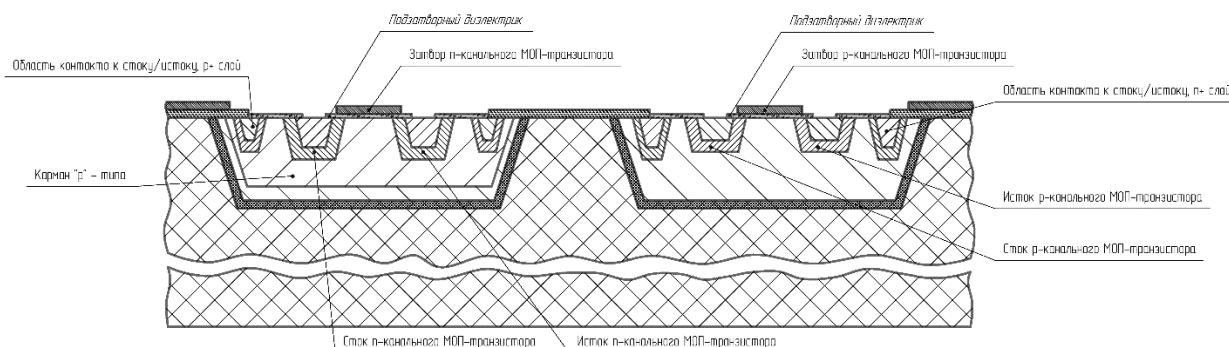


Рисунок.3. Пластина с сформированным затвором и стравленным поликремнием

Затем проводятся этапы сборки и тестирования микросхем. Каждая микросхема упаковывается в корпус, который защищает ее от воздействия окружающей среды и позволяет соединить ее с другими компонентами в электронной схеме [3].

Пластины разрезаются на отдельные кристаллы, вклеиваются в корпус и развариваются на контактные площадки с помощью алюминиевой проволоки.

Затем проводится ряд электрических контролей для проверки работоспособности микросхемы. Это включает в себя измерение параметров и тестирование на различных температурах.

Кроме того, микросхемы проходят электротермо тренировку, которая заключается в подвержении их высокой температуре и электрическим полям в течение определенного времени. Что позволяет нам убедиться в полной работоспособности наших микросхем после проведенных нами изменений [3].

Результаты исследований

Проверка на стойкость микросхем проводится с целью убедиться, что они способны выдерживать высокое напряжение без разрушения. Одним из методов проверки является проведение пробоя, при котором на микросхему подается последовательно увеличивающееся напряжение до тех пор, пока не произойдет ее разрушение [4].

В нашем случае, проверка проводилась на установке «Молния-4КВ», стенд имеет следующие технические характеристики: емкость разрядного конденсатора 100 пФ, сопротивление разрядного резистора 1,5 кОм, время нарастания испытательного импульса не более 15 нс. Начинаясь с напряжения 100В, которое затем увеличивалось каждый раз на 50В. Таким образом, первый пробой был проведен на 100В, второй на 150В, третий на 200В и т.д [5].

В процессе проведения пробоя микросхемы подвергаются электрическому напряжению, которое превышает рабочее напряжение, поэтому очень важно, чтобы они были спроектированы и изготовлены таким образом, чтобы выдерживать эту нагрузку [5].

Проверку на стойкость к статическому электричеству была проведена по модели тела человека. модели тела человека является одним из стандартных тестов в индустрии производства микросхем. Этот тест используется для определения того, как микросхемы справляются с разрядом статического электричества, который может возникать при нормальном использовании [6].

В этом тесте используется модель тела человека, которая имитирует возможный разряд статического электричества, который может возникнуть, когда человек касается микросхемы или ее контактов. Обычно в этом тесте используется заряд до 2-4 кВ, который разряжается через контакты микросхемы в течение нескольких микросекунд. Затем микросхема проверяется на наличие повреждений или сбоев в работе [7].

Для проверки были взяты 4 пластины по 10 кристаллов с каждой: 1 пластина была произведена по стандартному для этой микросхемы технологическому процессу, 2 пластина была с облегченным карманом (меньшой дозой примеси), 3 пластина была

выполнена с использованием пирогенного окисления подзатворного диэлектрика и 4 пластина была и с облегченным карманом и с пирогенным окислением. В таблице 1 приведены результаты пробоя для каждой пластины, где «-» означает, что микросхема выдержала поданное напряжение, а «+», то что мы достигли пробоя [8].

Таблица 1. Результаты испытания

№ пластины	Величина статического потенциала U, В									
	100	150	200	250	300	350	375	400	425	450
1	-	-	-	-	+	+	+	+	+	+
2	-	-	-	-	-	-	-	+	+	+
3	-	-	-	-	-	-	-	-	-	+
4	+	+	+	+	+	+	+	+	+	+

Как видно из таблицы 1, пластина 3 с пирогенным окислением подзатворного диэлектрика выдержала самое большое напряжение прежде чем пробиться, пластина 4 оказалась с самым малым выходом, на одной пластине примерно 1200 кристаллов и только около 50 оказались рабочими, пластина 2 с облегченным карманом показала средний результат между стандартной и с пирогенным окислением, а пластина 1 показала плохие результаты.

Выводы

Микросхемы, выполненные с использованием пирогенного окисления подзатворного диэлектрика, являются самыми стойкими к статическому электричеству. Микросхемы с облегченным карманом оказались на втором месте по стойкости, а микросхемы, выполненные по стандартному технологическому процессу, оказались на третьем месте. Микросхемы, которые сочетали в себе облегченный карман и пирогенное окисление подзатворного диэлектрика, оказались изначально бракованными и непригодными для использования.

Таким образом, можно заключить, что использование пирогенного окисления подзатворного диэлектрика при производстве микросхем повышает их стойкость к статическому электричеству. Это может быть важно для производства высококачественных микросхем, которые будут использоваться в условиях, где статическое электричество может оказывать негативное воздействие на их работу.

Список литературы:

1. Андреев В.В., Барышев В.Г., Столяров А.А. Инжекционные методы исследования и контроля структур металл-диэлектрик-полупроводник – М: Издательство МГТУ им. Н.Э. Баумана. – 2004.
2. Кечиев Л.Н., Пожидаев Е.Д. Защита электронных средств от воздействия статического электричества. – М.: Издательский Дом "Технологии", – 2005. С. 79-85.
3. Максимов И.В., Кузнецов В.В., Андреев В.В. Исследование модернизированной схемы защиты от электростатического разряда КМОП ИМС серии 1564 // Технологии электромагнитной совместимости. 2017. № 4 (63). С. 35 – 41.
4. ОСТ 11 073.013-2008 «Микросхемы интегральные. Методы испытаний. Методы электрических испытаний».

5. Andreev D.V., Maslovsky V.M., Andreev V.V., Stolyarov A.A. Modified Ramped Current Stress Technique for Monitoring Thin Dielectrics Reliability and Charge Degradation // Phys. Status Solidi A. 2022. Vol. 219. Is. 9. P. 2100400(1-5).
6. Kuznetsov V. HBM, MM, and CBM ESD Ratings Correlation Hypothesis // IEEE Transactions on Electromagnetic Compatibility. 2018. Vol. 60. No. 1. P.107-114.
7. Tseng J., Hwu J. Oxide-Trapped Charges Induced by Electrostatic Discharge Impulse Stress // IEEE Transactions on Electron Devices. 2007. Vol. 54. No. 7. P. 1666-1671.
8. Andreev D.V., Bondarenko G.G., Andreev V.V., Maslovsky V.M., Stolyarov A.A. Modification of MIS Devices by Radio-Frequency Plasma Treatment // Acta Phys. Pol. A. 2019. Vol. 136. No. 2. P.263-266.

References:

1. Andreev V.V., Baryshev V.G., Stolyarov A.A. Injection methods of research and control structures metal-dielectric-semiconductor - M: Publishing House of MGTU them. N.E. Bauman. - 2004.
2. Kechiev L.N., Pochedayev E.D. Protection of electronic means from the influence of static electricity. - M.: Publishing House "Technologies", - 2005. C. 79-85.
3. Maximov I.V., Kuznetsov V.V., Andreev V.V. Study of the modernized electrostatic discharge protection scheme CMOS IMS series 1564 // Technology of electromagnetic compatibility. 2017. 4 (63). P. 35 - 41.
4. OST 11 073.013-2008 «Integrated circuits. Test methods. Electrical testing methods».
5. Andreev D.V., Maslovsky V.M., Andreev V.V., Stolyarov A.A. Modified Ramped Current Stress Technique for Monitoring Thin Dielectrics Reliability and Charge Degradation // Phys. Status Solidi A. 2022. Vol. 219. Is. 9. P. 2100400(1-5).
6. Kuznetsov V. HBM, MM, and CBM ESD Ratings Correlation Hypothesis // IEEE Transactions on Electromagnetic Compatibility. 2018. Vol. 60. No. 1. P.107-114.
7. Tseng J., Hwu J. Oxide-Trapped Charges Induced by Electrostatic Discharge Impulse Stress // IEEE Transactions on Electron Devices. 2007. Vol. 54. No. 7. P. 1666-1671.
8. Andreev D.V., Bondarenko G.G., Andreev V.V., Maslovsky V.M., Stolyarov A.A. Modification of MIS Devices by Radio-Frequency Plasma Treatment /Phyacta. Pol. A. 2019. Vol. 136. No. 2. P.263-266